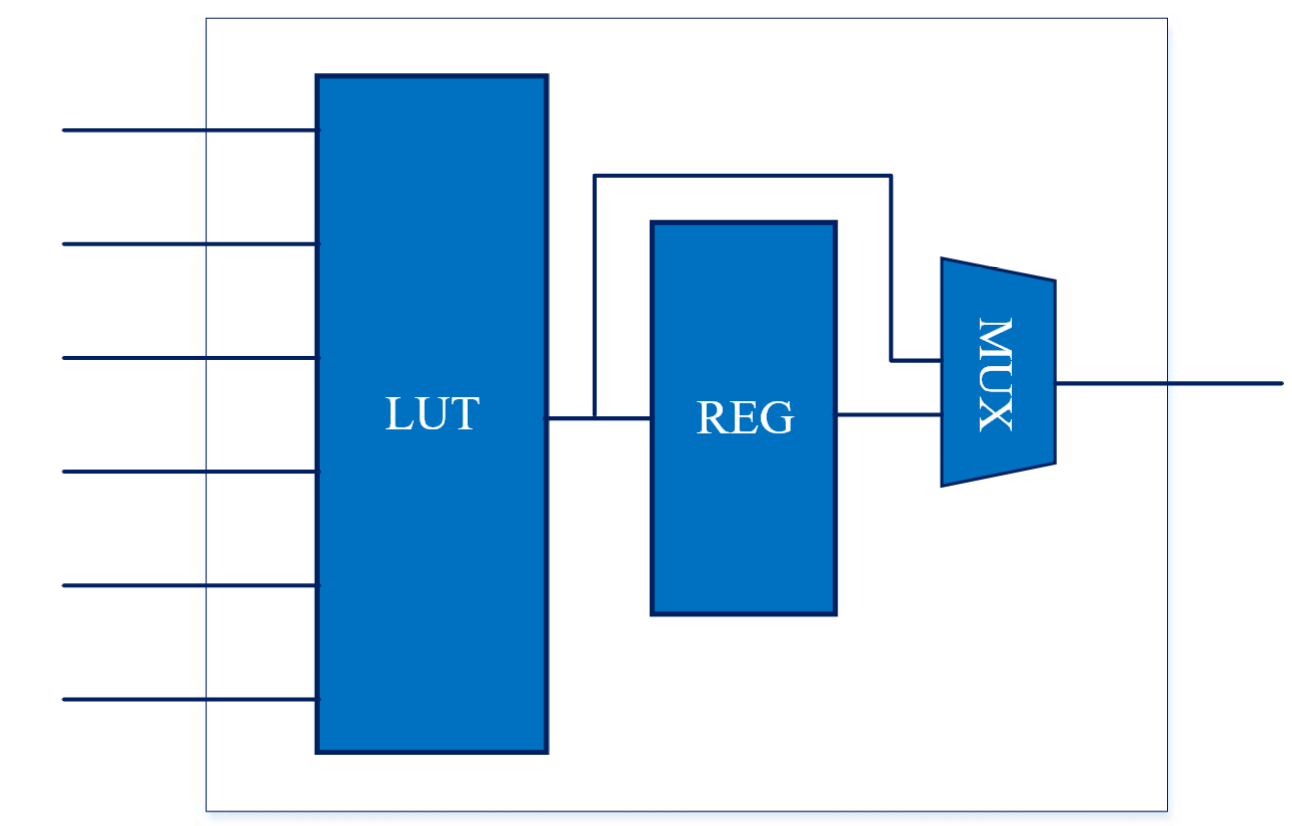
1. Предп осылки создания программируемой логики. Общая структура кристалла FPGA. Основные блоки, входящие в структуру кристалла, их расположение, организация соединений. Л.1, 4-5 (от17слайда)

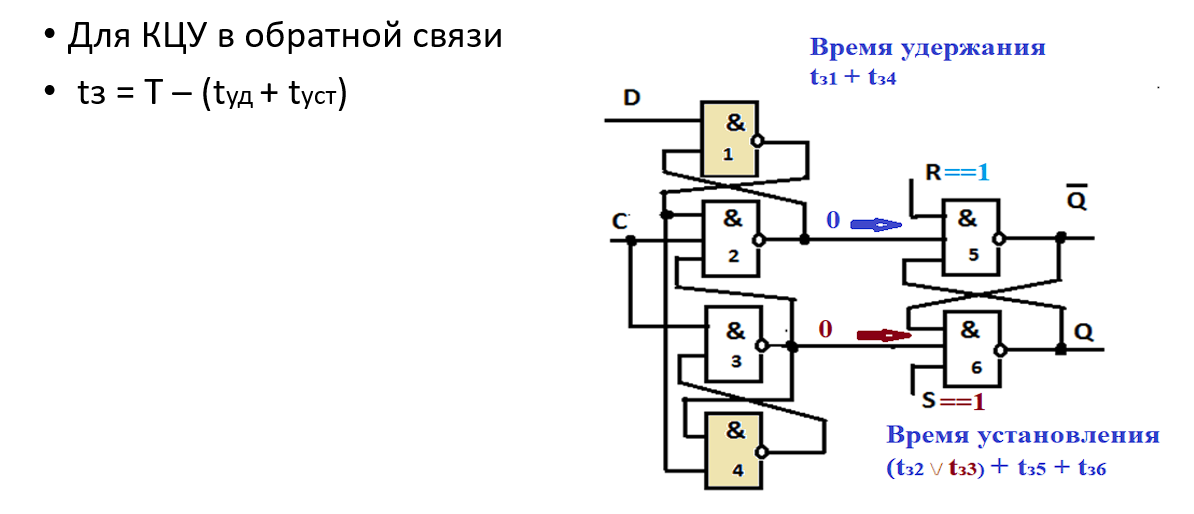
2.Структура наборного логического блока (LAB) и организация блока MLAB. Л.2-3

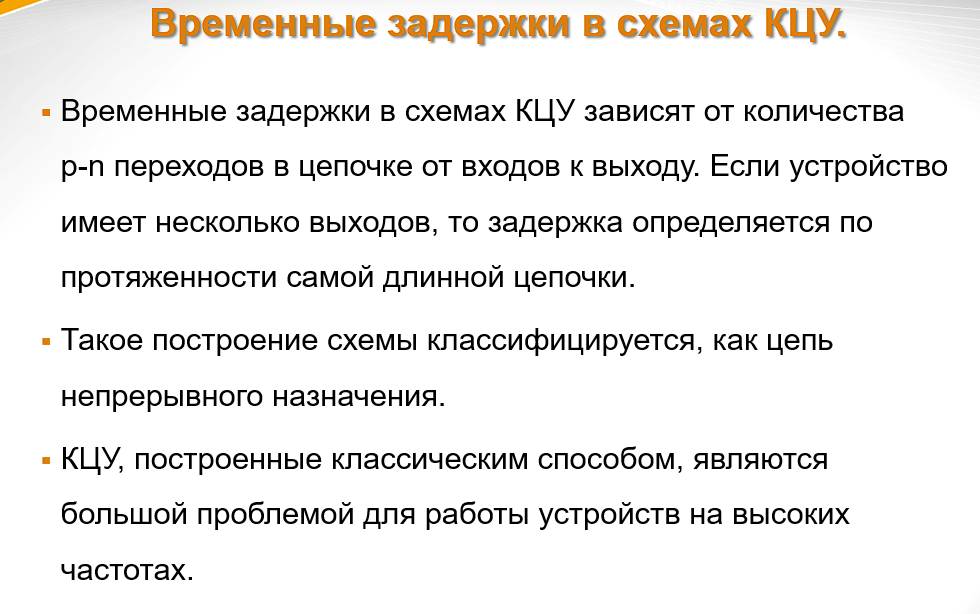
Это alm

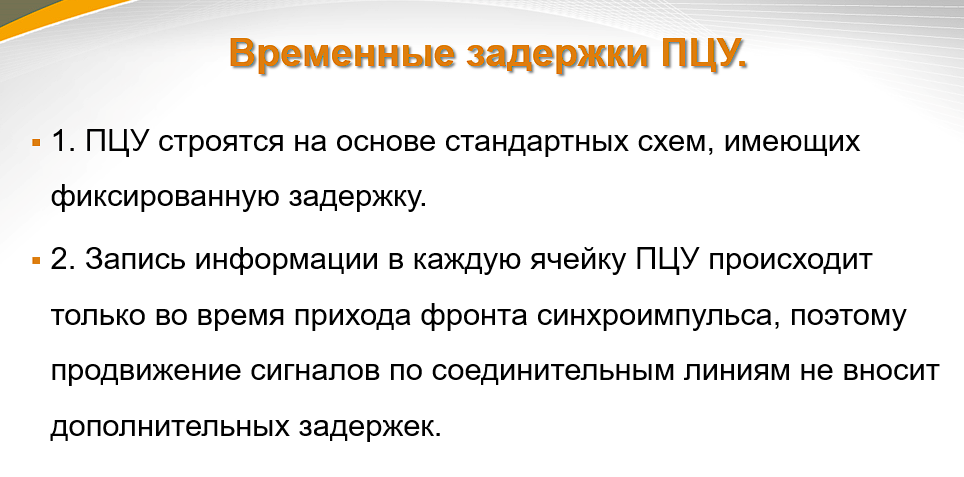


3.

Как определяется максимальное время задержки в схемах, реализуемых на FPGA? Л.4-5(слайд 7)

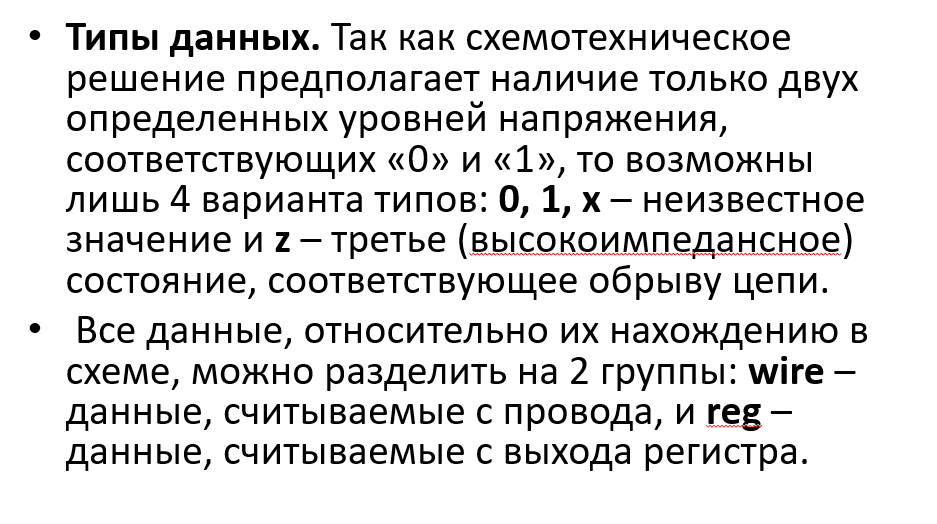


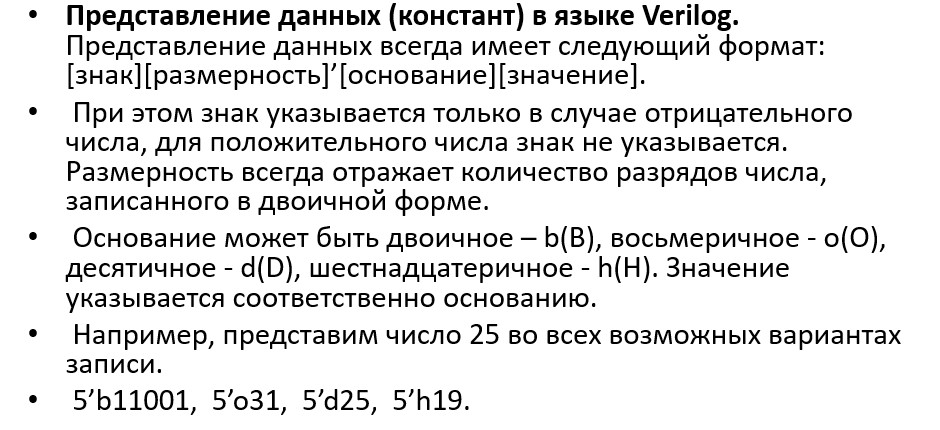


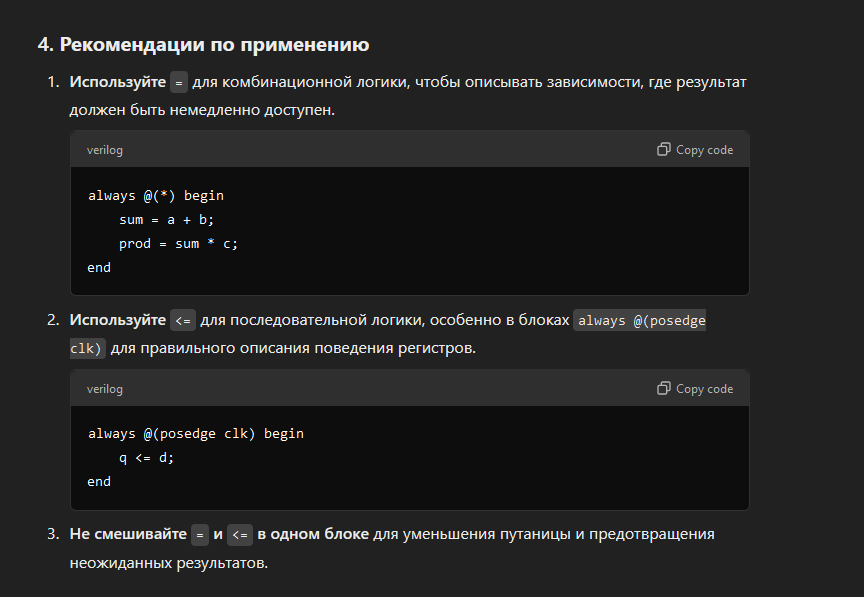


4.

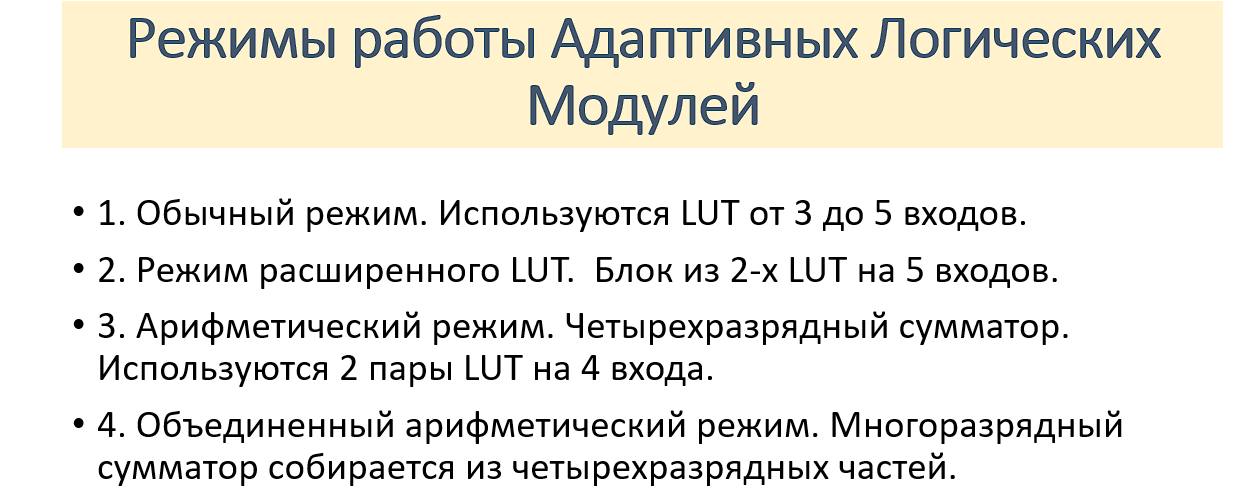
Необходимость присвоения различных типов данных при программировании устройства в FPGA. Л.1

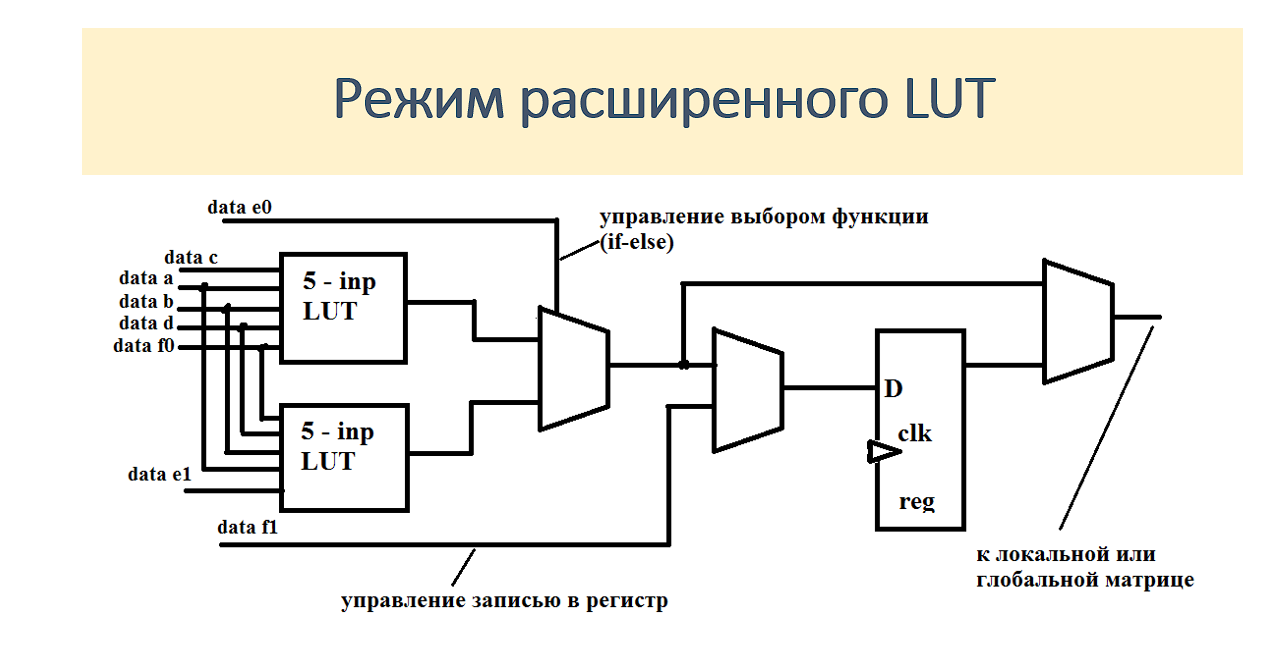


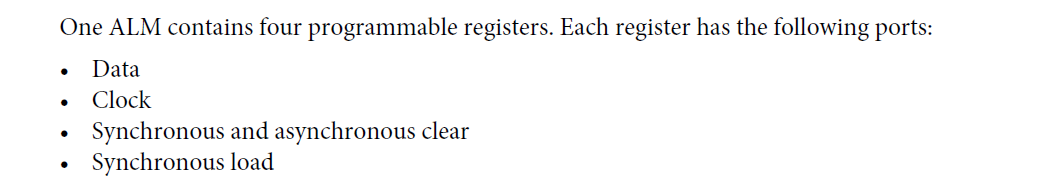
блокирующее и неблокирующее присвоение

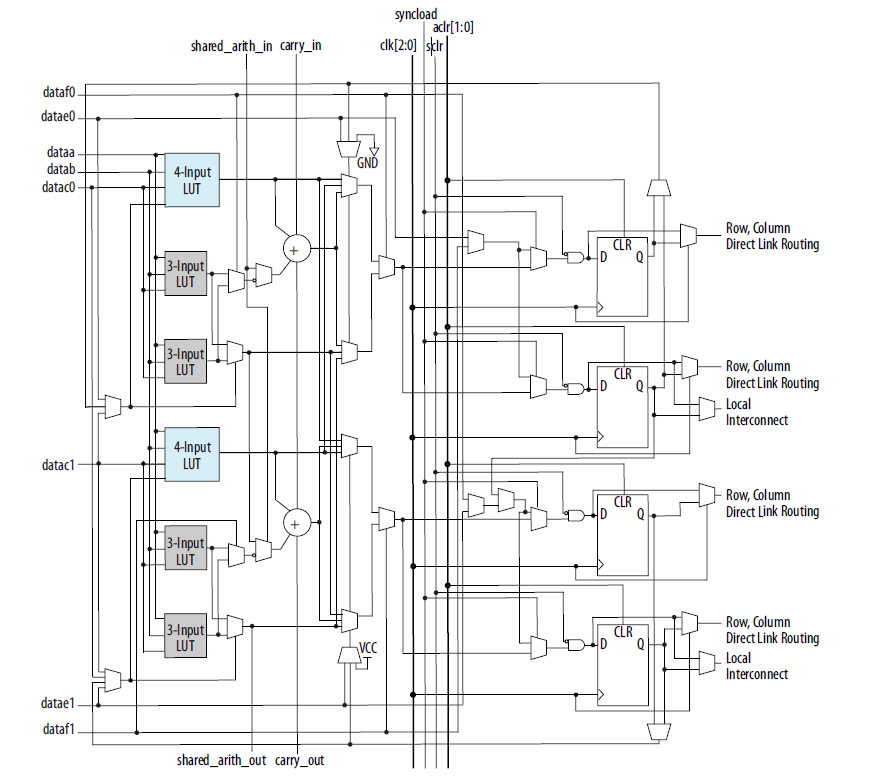


5. Основные управляющие сигналы, поступающие на адаптивный логический модуль. Работу каких устройств регулируют эти сигналы? Л.2-3; 4-5.

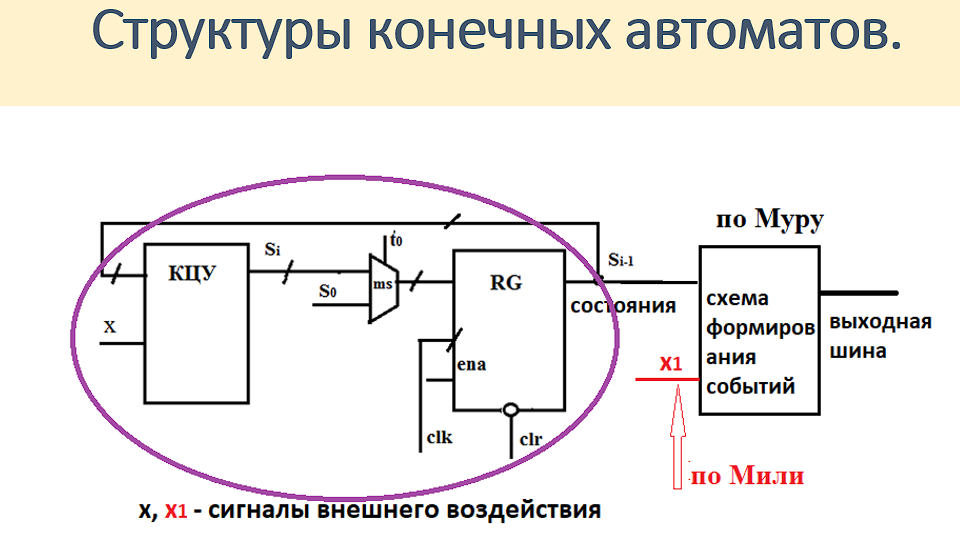


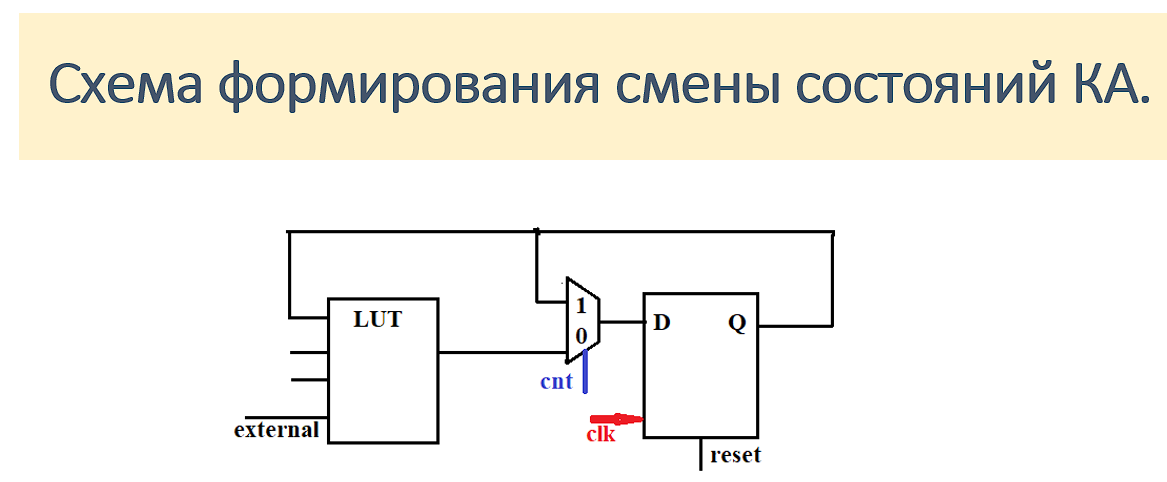




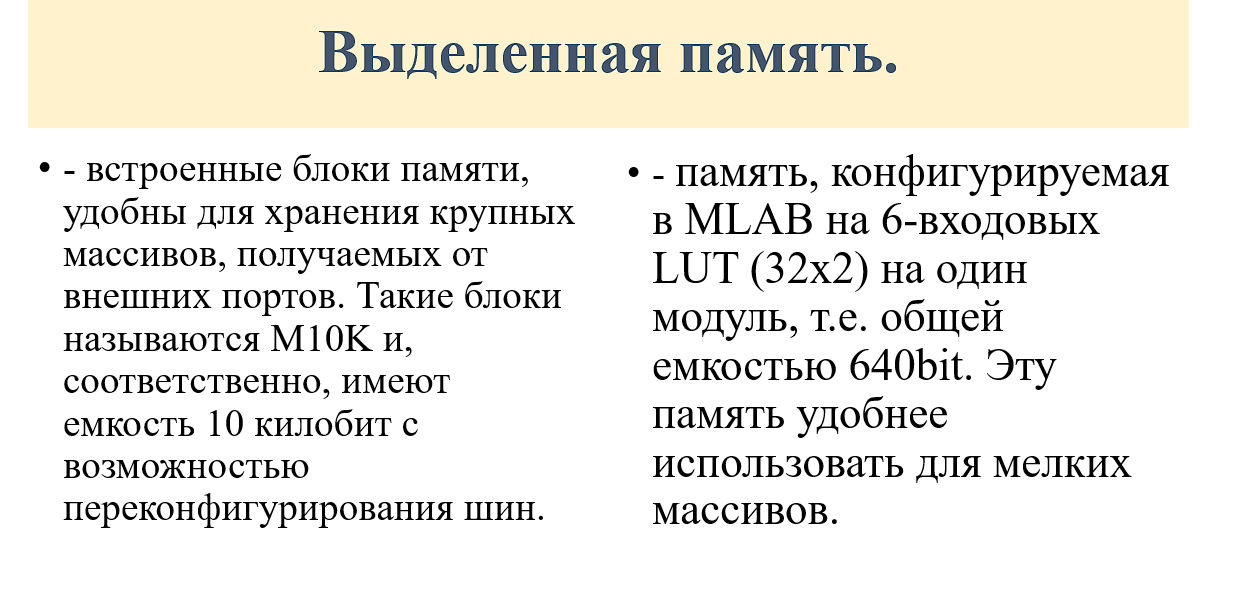


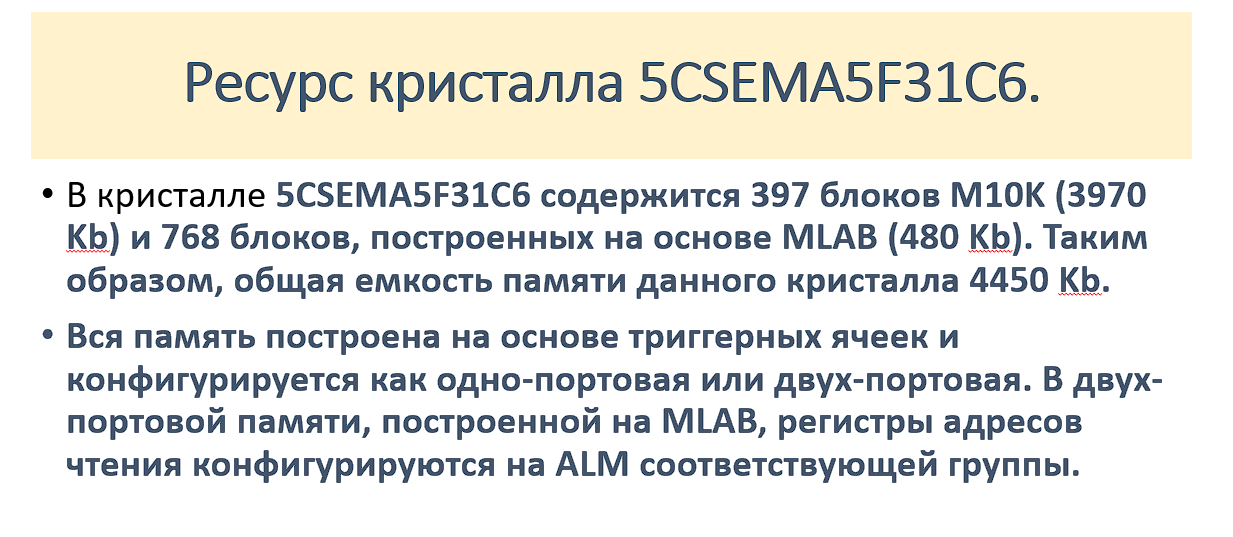
6. Структура и принцип функционирования конечного автомата. Синтез конечных автоматов в FPGA. Л.4-5.

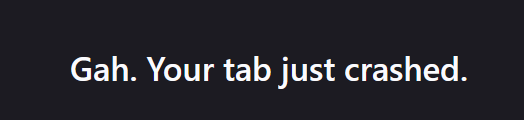




7. Способы организации выделенной памяти в FPGA. Структура такой памяти. Л. 2-3.



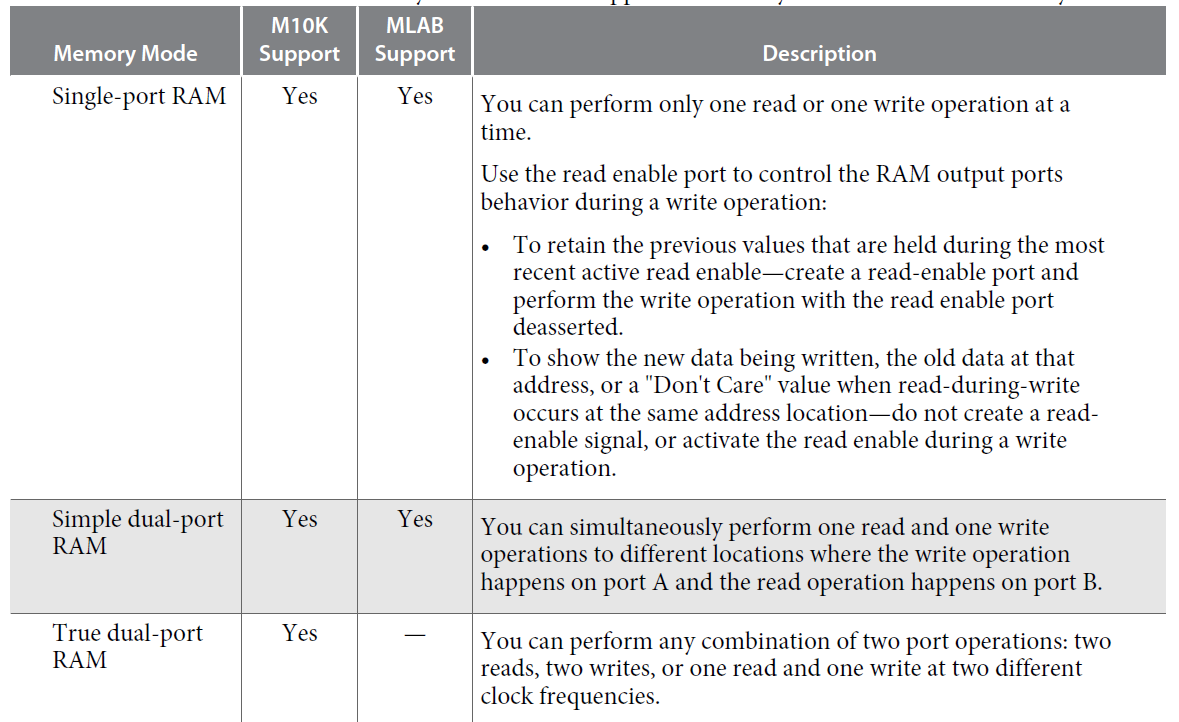


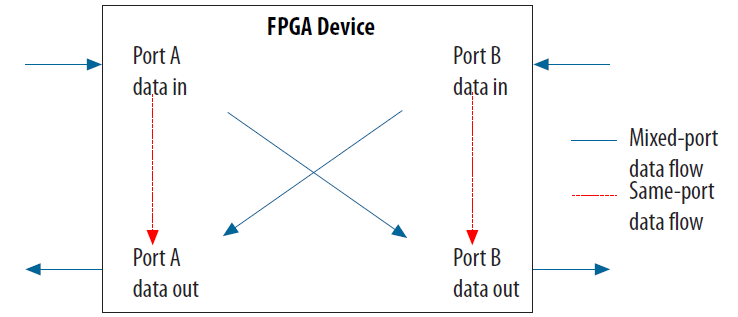


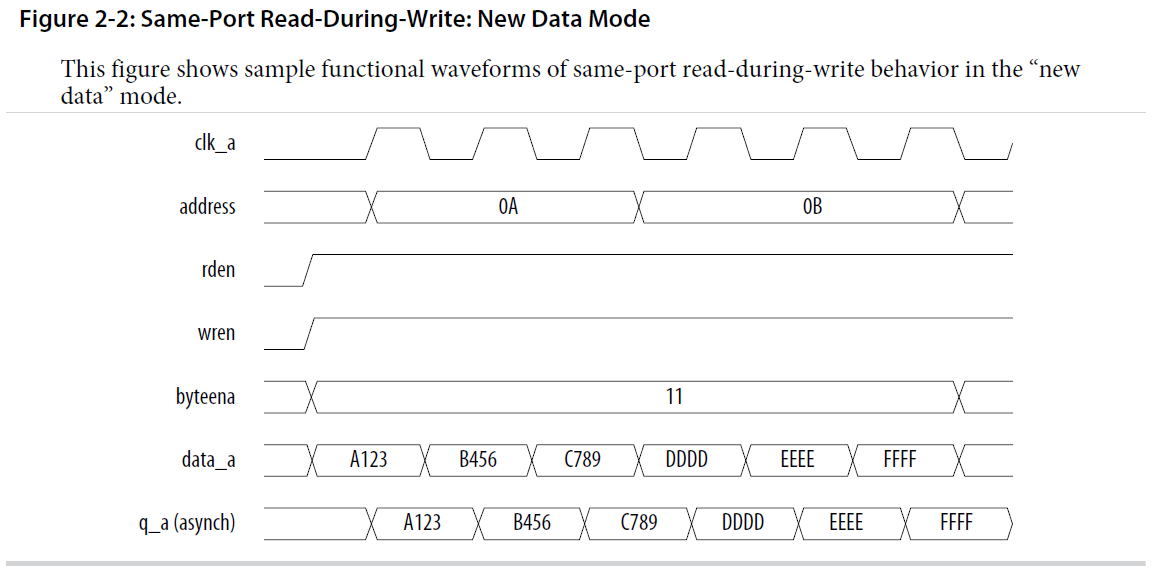
1. Одно-портовая и двух-портовая память. Л. 2-3.

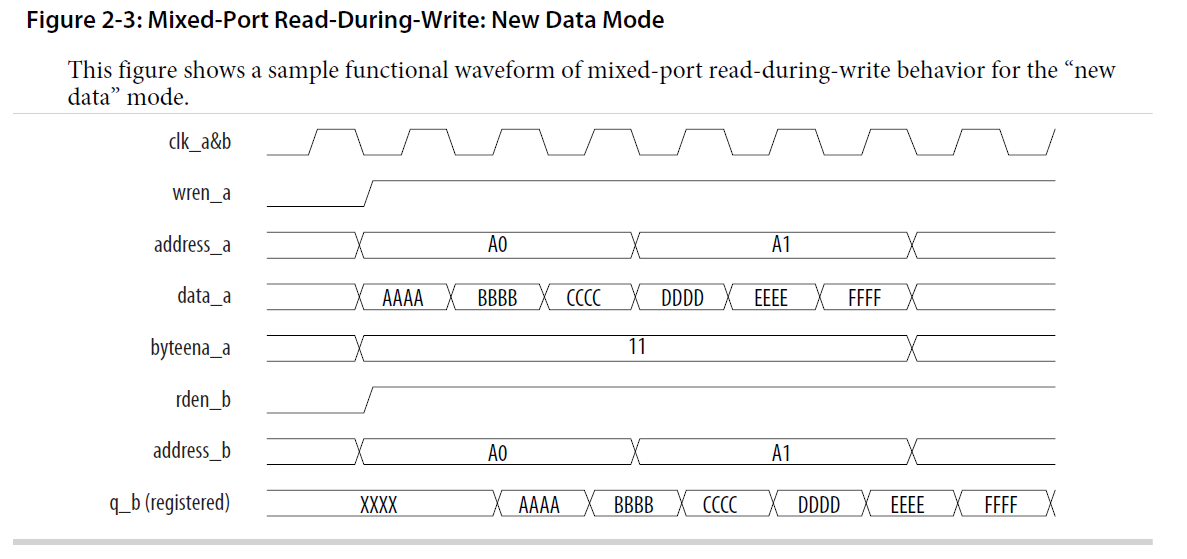
В одно-портовой памяти регистр адреса единый для записи и для считывания.

В двух-портовой памяти регистры адреса для записи и для считывания раздельные, что позволяет производить эти процессы одновременно, но обращаясь к разным ячейкам.









1. Каким образом обеспечивается синхронизация всех узлов устройства, функционирующего в FPGA? Л. 4-5(слайд 29).

* Частота, поступающая на FPGA, образует сетевую иерархию.

1. Глобальные частотные сети (GCLK).
2. Региональные частотные сети (RCLK).
3. Периферийные частотные сети (PCLK).

Частота, подаваемая в кристалл, поступает на блок External PLL (внешний блок фазовой подстройки). Кроме внесения задержек, этот блок позволяет увеличить или уменьшить частоту. Для сохранения параметров сигнала частоты в кристалле существует сеть фракциональных PLL.

1. Типы частотных сетей. Особенности формирования и распространения сигнала для каждого типа.
2. Понятие стволовой частоты. Основные блоки преобразования частоты в FPGA.
3. Аппаратные возможности для последовательной передачи данных в среде FPGA.
4. Шина PCIe. Принцип построения, структура передачи информации, назначение.

18. 